

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039869

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

G11C 11/407
G06F 1/10
G06F 12/00
G11C 7/00
G11C 11/413
H03K 5/135

(21)Application number : 09-196059

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.07.1997

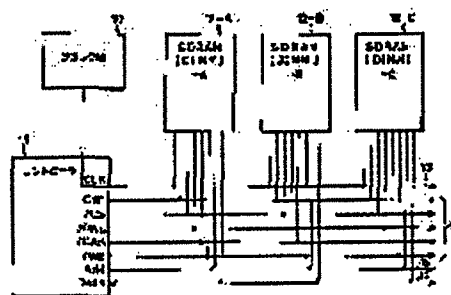
(72)Inventor : TOMITA HIROYOSHI
TAKEMAE YOSHIHIRO

(54) SEMICONDUCTOR DEVICE SYSTEM AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a semiconductor device system which can take, in the good timing, an input/output signal of a controller and a memory without increase in the kinds of clock.

SOLUTION: This semiconductor system is composed of a plurality of semiconductor devices operating synchronously with the clock CLK, and one of such semiconductor devices operates as a driving side semiconductor device 11 which outputs a signal in relation to the control of the other semiconductor devices 12-A, 12-B, 12-C. In this case, a clock signal line 13 is arranged in parallel with the other signal lines, the clock is transferred toward the driving side semiconductor device 11, the driving side semiconductor device is composed of an input circuit for fetching the signal from the other semiconductor devices in synchronization with the clock, and an output circuit for outputting the output signal in synchronization with the clock, and the other semiconductor device is composed of an output circuit for outputting the output signal in synchronization with the clock, an input circuit for taking the signal from the driving side semiconductor device, and an input timing adjusting circuit for adjusting the fetch timing of the input circuit.



LEGAL STATUS

[Date of request for examination]

18.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3922765

[Date of registration]

02.03.2007

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-39869

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.⁶
G 1 1 C 11/407
G 0 6 F 1/10
12/00 5 6 4
G 1 1 C 7/00 3 1 3
11/413

識別記号

F I

G 1 1 C 11/34 3 6 2 S
G 0 6 F 12/00 5 6 4 A
G 1 1 C 7/00 3 1 3
H 0 3 K 5/135
G 0 6 F 1/04 3 3 0 A

審査請求 未請求 請求項の数14 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平9-196059

(22) 出願日 平成9年(1997) 7月22日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 富田 浩由

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 竹前 義博

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

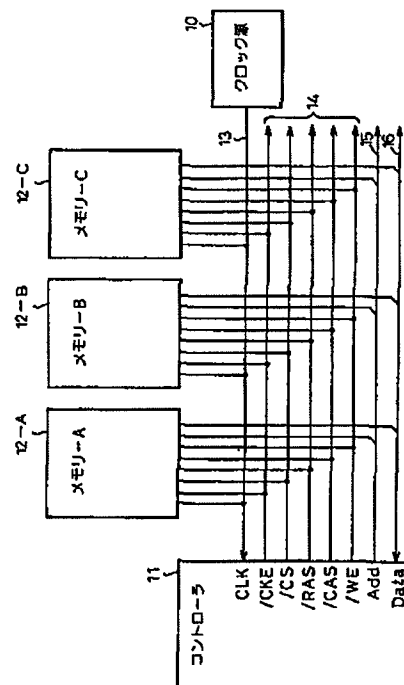
(54) 【発明の名称】 半導体装置システム及び半導体装置

(57) 【要約】

【課題】 クロックの種類を増加させることなしにコントローラとメモリにおける入出力信号の取込みが良好なタイミングで行える半導体装置システムの実現。

【解決手段】 クロックCLK に同期して動作する複数の半導体装置で構成され、1つは他の半導体装置12-A、12-B、12-Cの制御に関する信号を出力する駆動側半導体装置11として動作する半導体装置システムにおいて、クロック信号線13は他の信号線と並行に配置され、クロックは駆動側半導体装置11に向かう方向に伝達され、駆動側半導体装置は他の半導体装置からの信号をクロックに同期して取り込む入力回路24と、出力信号をクロックに同期して出力する出力回路23とを備え、他の半導体装置は、出力信号をクロックに同期して出力する出力回路44-0、44-n と、駆動側半導体装置からの信号を取り込む入力回路42-0、42-n と、入力回路の取込みタイミングを調整する入力タイミング調整回路43-0、43-n とを備える。

実施例の半導体装置システムの全体構成



【特許請求の範囲】

【請求項 1】 クロックに同期して動作する複数の半導体装置で構成され、該複数の半導体装置の 1 つは他の半導体装置の制御に関係する信号を出力する駆動側半導体装置として動作する半導体装置システムにおいて、前記クロックを各半導体装置に伝達するクロック信号線は他の信号線と並行に配置され、前記クロックは前記クロック信号線上を前記駆動側半導体装置に向かう方向に伝達され、

前記駆動側半導体装置は、前記駆動側半導体装置を除く他の半導体装置からの信号を前記クロックに同期して取り込む入力回路と、出力信号を前記クロックに同期して出力する出力回路とを備え、

前記駆動側半導体装置を除く他の半導体装置は、出力信号を前記クロックに同期して出力する出力回路と、前記駆動側半導体装置からの信号を取り込む入力回路と、該入力回路の取込みタイミングを調整する入力タイミング調整回路とを備えることを特徴とする半導体装置システム。

【請求項 2】 請求項 1 に記載の半導体装置システムであって、

前記入カタイミング調整回路は、

受信した前記クロックに基づいて発生された内部クロックを遅延させて入力タイミングクロックとして出力し、遅延量が選択可能なディレイ回路と、

前記入カタイミングクロックと前記入力信号の位相を判定する位相比較回路と、

該位相比較回路の判定結果に基づいて、前記入カタイミングクロックが前記入力信号に対して所定の位相になるように前記ディレイ回路の遅延量を変化させるディレイ制御回路とを備える半導体装置システム。

【請求項 3】 請求項 1 に記載の半導体装置システムであって、

当該半導体装置システムの起動後の所定期間を、前記入カタイミング調整回路を調整するための受信タイミング調整モードとし、それ以後通常動作モードに入り、該通常動作モードでも、前記入カタイミング調整回路の調整が実行される半導体装置システム。

【請求項 4】 請求項 1 に記載の半導体装置システムであって、

前記入カタイミング調整回路は、入力信号が所定のパターンであることを判定するパターン判定回路を備え、入力信号が所定のパターンである時に前記入力回路の取込みタイミングを調整する半導体装置システム。

【請求項 5】 請求項 3 に記載の半導体装置システムであって、

前記入カタイミング調整回路は、入力信号が所定のパターンであることを判定するパターン判定回路を備え、入力信号が所定のパターンである時に前記入力回路の取込みタイミングを調整し、

前記受信タイミング調整モード時には、前記駆動側半導体装置は、前記所定のパターン信号を出力する半導体装置システム。

【請求項 6】 請求項 1 に記載の半導体装置システムであって、

前記駆動側半導体装置を除く他の半導体装置は、前記駆動側半導体装置から当該半導体装置がアクセス対象として選択されたことを示す選択信号が入力される端子を有し、

前記選択信号が入力された時には、当該半導体装置に入力される信号を取込んで内部回路で処理し、必要に応じて出力信号を出力し、

前記選択信号が入力されない時には、前記入カタイミング調整回路と該入力タイミング調整回路での処理を行うのに必要な回路は動作させるが、入力された信号は前記内部回路へ伝達しない半導体装置システム。

【請求項 7】 複数の受信側半導体装置と、該複数の受信側半導体装置の制御に関係する信号を出力する駆動側半導体装置とを備え、前記複数の受信側半導体装置と前記駆動側半導体装置は、クロックに同期して動作する半導体装置システムであって、

各受信側半導体装置は、前記駆動側半導体装置からの信号を取り込む入力回路と、該入力回路の取込みタイミングを調整する入力タイミング調整回路とを備える半導体装置システムにおいて、

前記受信側半導体装置は、前記複数の受信側半導体装置のうち、当該半導体装置がアクセス対象として選択されたことを示す選択信号が入力される端子を有し、

前記選択信号が入力された時には、当該半導体装置に入力される信号を取込んで内部回路で処理し、必要に応じて出力信号を出力し、

前記選択信号が入力されない時には、前記入カタイミング調整回路と該入力タイミング調整回路での処理を行うのに必要な回路は動作させるが、入力された信号は前記内部回路へ伝達しない半導体装置システム。

【請求項 8】 クロックを受信するクロック入力回路と、

出力信号を前記クロックに同期して出力する出力回路と、

入力信号を取り込む入力回路と、

該入力回路の取込みタイミングを調整する入力タイミング調整回路とを備えることを特徴とする半導体装置。

【請求項 9】 請求項 8 に記載の半導体装置であって、前記入カタイミング調整回路は、

受信した前記クロックに基づいて発生された内部クロックを遅延させて入力タイミングクロックとして出力し、遅延量が選択可能なディレイ回路と、

前記入カタイミングクロックと前記入力信号の位相を判定する位相比較回路と、

該位相比較回路の判定結果に基づいて、前記入カタイミ

ングクロックが前記入力信号に対して所定の位相になるように前記ディレイ回路の遅延量を変化させるディレイ制御回路とを備える半導体装置。

【請求項 10】 請求項 8 に記載の半導体装置であって、前記入力タイミング調整回路は、入力信号が所定のパターンであることを判定するパターン判定回路を備え、入力信号が所定のパターンである時に前記入力回路の取込みタイミングを調整する半導体装置。

【請求項 11】 請求項 8 に記載の半導体装置であって、当該半導体装置がアクセス対象として選択されたことを示す選択信号が入力される端子を有し、前記選択信号が入力された時には、当該半導体装置に入力される信号を取込んで内部回路で処理し、必要に応じて出力信号を出力し、前記選択信号が入力されない時には、前記入力タイミング調整回路と該入力タイミング調整回路での処理を行うのに必要な回路は動作させるが、入力された信号は前記内部回路へ伝達しない半導体装置。

【請求項 12】 請求項 9 に記載の半導体装置であって、入力信号の受信タイミング調整モードであることを指示するモード指示信号を認識するモードレジスタ・デコーダを備える半導体装置。

【請求項 13】 請求項 12 に記載の半導体装置であって、前記入力回路は複数のデータ信号に対応して複数設けられており、各入力回路毎に前記入力タイミング調整回路が設けられている半導体装置。

【請求項 14】 請求項 13 に記載の半導体装置であって、前記複数の入力タイミング調整回路の内の一部は、前記ディレイ制御回路に供給する前記判定結果を、同じ入力タイミング調整回路の前記位相比較回路の出力する判定結果と、他の入力タイミング調整回路の前記位相比較回路の出力する判定結果との間で選択するスイッチを備え、該スイッチは、前記受信タイミング調整モード時には、同じ入力タイミング調整回路の前記位相比較回路の出力する判定結果が、前記受信タイミング調整モード時以外の時には、他の入力タイミング調整回路の前記位相比較回路の出力する判定結果が前記ディレイ制御回路に供給されるように切り換える半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、クロックに同期して動作する半導体装置で構成される半導体装置システム及びそのための半導体装置に関し、特にクロックのタイミングを調整して周囲温度や電源電圧の変動にかかわら

ず所定のタイミングで入力信号を取り込むようにした同型メモリを使用する半導体メモリシステムに関する。

【0002】

【従来の技術】 半導体装置を使用したコンピュータ等の大規模な半導体装置システムでは、システムの各部分がクロックに同期して動作するように構成されており、データ信号やアドレス信号等の信号の入出力はクロック信号に同期して行われる。図 1 は、このような半導体装置システムの構成例を示す図である。図 1 に示すシステムは、複数のメモリ 12-A、12-B、12-C へのデータの入出力をコントローラ 11 で制御するもので、特にメモリへのデータの書き込みのための構成を示している。図 1 に示すように、コントローラ 11 から延びるクロック信号線 13、クロックイネーブル、/CS、/RAS、/CAS、/WE などの制御信号バス 14、アドレス信号バス 15、及び書き込みデータバス 16 が並行に配置され、メモリ 12-A、12-B、12-C はこれらの信号線やバスに沿って配置され、メモリ 12-A、12-B、12-C の各端子は対応する配線に接続される。図では信号線やバスの上部にメモリ 12-A、12-B、12-C が配置されるように示してあるが、実際には各配線はメモリ 12-A、12-B、12-C の端子間を通るように設けられている。クロック源 10 からはコントローラ 11 に常時クロックが供給され、コントローラ 11 はクロック信号線 13 にクロックを印加する。従って、クロックはコントローラ 11 から遠ざかる方向に伝達される。メモリにデータを書き込む時には、コントローラ 11 から制御信号バス 14、アドレス信号バス 15、及びデータバス 16 にクロックに同期して信号が出力され、各メモリはクロックを取り込んで内部クロックを生成し、/CS 信号で選択されたメモリは生成した内部クロックに基づいて、制御信号バス 14、アドレス信号バス 15、及びデータバス 16 の信号を取込み、必要な処理を行ってデータバスに出力された書き込みデータを記憶する。また、メモリからデータを読み出す時には、同様にコントローラ 11 から制御信号バス 14 及びアドレス信号バス 15 にクロックに同期して信号が出力され、選択されたメモリは生成した内部クロックに基づいて、制御信号バス 14 及びアドレス信号バス 15 の信号を取込み、必要な処理を行ってデータバスに読出データを出力する。コントローラ 11 は、データバスに出力された読出データを取り込む。図 1 に示すようなメモリ 12-A、12-B、12-C は、外部から供給されるクロックに従って動作するのでシンクロナス型と呼ばれている。シンクロナス型の DRAM (ダイナミック・ランダム・アクセス・メモリ) を SDRAM と呼んでおり、本発明は、主として、SDRAM を対象としており、以下の説明では SDRAM を例として説明を行う。しかし、本発明は SDRAM に限られるものではない。また、SDRAM の複数個のチップをパッケージに収容

して容量の大きな半導体装置として使用できるDIMMと呼ばれる装置もあり、このような装置にも適用可能である。

【0003】近年、コンピュータ・システムにおけるCPUのクロックの高速化、或いは、他の様々な電子回路の処理速度の高速化に伴って、各半導体装置を結ぶインターフェース部分も高速化する必要に迫られている。SDRAMは、このような高速化の要求に答えるための半導体装置であり、連続したアドレスにアクセスする場合には、非常に高速のアクセスが行える。そのため、非常に短い周期で変化するのはデータバスの信号であり、データバスの信号を高速に取り込める必要がある。

【0004】図2は、図1のメモリシステムにおける読出と書込動作におけるタイミングを示す図である。コントローラ11は、クロックCLKの立ち下がり同期して制御信号バス14及びアドレス信号バス15に出力する信号を変化させ、書込データDQについては、クロックCLKの立ち上がり立ち下がり両方のエッジからそれぞれ1/4周期ずれたタイミングでデータバスに出力する。このようなデータ信号以外の信号はクロックCLKの1周期で変化するが、データ信号はクロックCLKの半周期で変化する方式が、データ転送速度を向上させるために使用されるようになっており、ここでもこの方式を例として説明する。コントローラ11から出力されるクロックとコマンド、アドレス信号及び書込データは平行に配置された信号線上を伝達するため、コントローラ11から出力された時の各信号の位相関係は、メモリで受信する時にもそのまま維持されていると考えられる。従って、メモリでは受信したクロックに同期して他の信号を取り込めば正常なタイミングで取込みが行える。具体的には、図2であれば、クロックCLKの立ち上がり立ち下がり両方のエッジからそれぞれ1/4周期ずれたタイミングでデータバスの信号を取り込む。

【0005】メモリに記憶されたデータを読み出す時には、メモリは上記のようにして取り込んだコマンドとアドレス信号に基づいて内部から読み出したデータを、クロックCLKの立ち上がり立ち下がり両方のエッジに同期して出力する。しかし、この読出データとクロックCLKの伝達方向は逆であり、コントローラ11に到達した読出データとクロックCLKの間にはずれが生じる。しかも、いずれのメモリからの読出データであるかにより、ずれの大きさが異なる。一般的には、メモリとコントローラの間を伝達する時間の2倍のずれが生じる。いずれにしてもコントローラ11は、バス上の読出データをクロックCLKに同期して取り込むが、取込みのタイミングにずれが生じる。

【0006】なお、図2では、コントローラ11は、クロックCLKの立ち上がり立ち下がり両方のエッジから1/4周期ずれたタイミングで書込データを変化させるとしたが、他の位相で行うことも可能であり、本発

明はこれに限られるものではない。半導体装置が入力信号を取り込む場合、取り込むタイミングの前後で入力信号が確定している必要のある期間が定められている。取り込むタイミングの前に入力信号が確定している必要のある期間をセットアップ時間と呼び、取り込むタイミングの後で入力信号が確定している必要のある期間をホールド時間と呼んでいる。データの転送速度が遅く、データの変化周期が長い場合には、上記のようなずれがあってもセットアップ時間とホールド時間を十分な長さにできるため、あまり問題にならなかった。例えば、信号が1nsで約30cm進むとすると、コントローラとメモリの間の信号線が30cmの長さであるとなると、約2nsのスキュー（ずれ）を生じる。クロックが50MHzで、クロックの1周期でデータが変化したとすると、データの変化周期は20nsであり、2ns程度のずれであれば正常に取り込むことができる。しかし、データの変化周期が更に短くなると、このようなずれが無視できなくなる。図2に示すように、コマンド信号やアドレス信号はクロックの周期で変化するが、データはクロックの半周期で変化する場合には、データの変化周期が他の信号の変化周期の半分であり、特に問題になる。

【0007】そこで、本出願人は、特願平8-213882号で、図3に示すような構成の半導体装置システムを開示している。図示のように、このシステムは、クロック源10をコントローラ11から遠い側に配置し、クロック信号線17上のクロックの伝達方向を、読出データのコントローラ11への伝達方向と同じにするものである。これにより、コントローラ11で読出データがずれるという問題は解決できる。しかし、図3の構成では、逆にコントローラ11から出力される書込データが各メモリでクロックCLKとずれるという問題が生じる。そこで、本出願人は、特願平8-213882号で、更に図4に示すような構成の半導体装置システムを開示している。図4のシステムは、図3と同様に、クロック源10をコントローラ11から遠い側に配置し、読出用クロック信号線17上のクロックの伝達方向を、読出データのコントローラ11への伝達方向と同じにして読出データのコントローラ11への到達のずれをなくすると共に、別に書込クロックをコントローラ11から遠ざかる方向に伝達する書込用クロック信号線13を設け、コントローラ11は受信した読出CLKから書込CLKを発生させて書込用クロック信号線13に印加する。これにより、メモリからコントローラ11に到達する読出データは読出用クロックと同期し、コントローラからメモリに到達する書込データや他の信号は書込用クロックと同期する。従って、コントローラ11では読出用クロックに同期して読出データを取込み、メモリでは書込用クロックに同期して書込データを取り込めばずれを小さくでき、高速のデータ転送が可能になる。

【0008】

【発明が解決しようとする課題】図4のシステムであれば、コントローラ11における読出データの取込み及びメモリにおける書込データの取込みはそれぞれ良好なタイミングで行えるが、クロック信号線を書込用と読出用の2本設ける必要があり、コントローラを構成するチップセット及びメモリの端子が増加すると共に、配線のスペースが大きくなるという問題がある。

【0009】本発明は、このような問題を解決するためのもので、コントローラにおける読出データの取込み及びメモリにおける書込データの取込みはそれぞれ良好なタイミングで行える半導体装置システムを、クロックの種類を増加させることなしに実現することを目的とする。

【0010】

【課題を解決するための手段】上記目的を実現するため、本発明の半導体装置システムは、クロック源を図3に示したのと同様に、コントローラ（駆動側半導体装置）から遠い側に配置して、メモリ（受信側半導体装置）からの読出データがコントローラに到達した時にスキューが生じないようにして上で、コントローラからの書込データをメモリが取り込むタイミングについては各メモリに入力タイミング調整回路を設けて調整することで、メモリが最適なタイミングで書込データを取り込むようにする。

【0011】すなわち、本発明の半導体装置システムは、クロックに同期して動作する複数の半導体装置で構成され、複数の半導体装置の1つは他の半導体装置（受信側半導体装置）に制御に関係する信号を出力する駆動側半導体装置として動作する半導体装置システムにおいて、クロックを各半導体装置に伝達するクロック信号線は他の信号線と並行に配置され、クロックはクロック信号線上を駆動側半導体装置に向かう方向に伝達され、駆動側半導体装置は、駆動側半導体装置を除く他の半導体装置からの信号をクロックに同期して取り込む入力回路と、出力信号をクロックに同期して出力する出力回路とを備え、駆動側半導体装置を除く他の半導体装置は、出力信号をクロックに同期して出力する出力回路と、駆動側半導体装置からの信号を取り込む入力回路と、入力回路の取込みタイミングを調整する入力タイミング調整回路とを備えることを特徴とする。

【0012】本出願人は、特願平8-270090号で、クロックと入力信号の間にスキューがある場合にも、最適なタイミングで入力信号が取り込めるようにするために、入力回路の取込みタイミングを調整する入力タイミング調整回路を設ける構成を開示している。本発明では、この入力タイミング調整回路をメモリ（受信側半導体装置）に設け、メモリがコントローラからの書込データを取り込む時のタイミングが最適になるように調整できるようにする。これにより、コントローラにおける読出データの取込みとメモリにおける書込データの取

込みの両方が最適なタイミングで行えるようになる。

【0013】入力タイミング調整回路は、例えば、特願平8-270090号に開示されているように、受信したクロックに基づいて発生された内部クロックを遅延させて入力タイミングクロックとして出力し、遅延量が選択可能なディレイ回路と、入力タイミングクロックと入力信号の位相を判定する位相比較回路と、位相比較回路の判定結果に基づいて、入力タイミングクロックが入力信号に対して所定の位相になるようにディレイ回路の遅延量を変化させるディレイ制御回路とを備える。

【0014】また、入力タイミング調整回路でのタイミング調整が終了するまでは正常な書込データの取込みが行えないため、半導体装置システムの起動後の所定期間を、入力タイミング調整回路を調整するための受信タイミング調整モードとし、それ以後通常動作モードに入るようにすることが必要である。通常動作モードでの動作に伴って最適なタイミングが変化する可能性があるもので、通常動作モードに入った後でも、入力タイミング調整回路の調整を行うことが望ましい。

【0015】また、入力信号が高速で変化する場合、信号パターンによって変化の様子が異なる。そこで、入力タイミング調整回路での調整は、同じ入力信号のパターンに対して行うことが望ましい。そこで、入力タイミング調整回路は、入力信号が所定のパターンであることを判定するパターン判定回路を備え、入力信号が所定のパターンである時に入力回路の取込みタイミングを調整する。上記のように、受信タイミング調整モードを設ける時には、調整が短時間に終了するように、コントローラ（駆動側半導体装置）は、受信タイミング調整モード時には、この所定のパターン信号を連続して出力する。

【0016】図1などに示したように、半導体装置システムでは、多数のメモリを1つのコントローラに接続して使用する。多数のメモリのうちのいずれのメモリがアクセスされるのかを指示するため、アドレス信号をデコードしてチップ選択信号を発生させ、それをアクセスするメモリのチップ選択（／CS）端子に印加している。チップ選択信号が入力されたメモリは、印加された制御信号やアドレス信号を取込み、書き込みの場合には更に書込データを取り込んで書き込み処理を行い、読み出しの場合にはそれに応じた処理を行って読出データを出力するが、チップ選択信号が入力されないメモリは何の処理も行わない。メモリに上記のような入力タイミング調整回路を設ける場合、従来はチップ選択信号が入力されない時には、入力タイミング調整回路における調整を行っていなかった。そのため、受信タイミング調整モード時には、各メモリを順に選択してそれぞれの入力タイミングを順に調整していたが、これでは調整に要する時間が長くなるという問題が生じる。また、通常動作モード時に、そのメモリが長時間アクセスされない時には、入力タイミングがずれる恐れがある。そこで、本発明で

は、選択信号が入力されない時も、入力タイミング調整回路と入力タイミング調整回路での処理を行うのに必要な回路は動作させる。しかし、入力された信号は前記内部回路へ伝達しないようにする。

【0017】上記の半導体システムを構成するメモリ（受信側半導体装置）は、クロックを受信するクロック入力回路と、出力信号をクロックに同期して出力する出力回路と、入力信号を取り込む入力回路と、入力回路の取込みタイミングを調整する入力タイミング調整回路とを備える必要がある。本出願人は、前述の特願平8-270090号で、各入力信号毎に入力タイミング調整回路を設け、入力信号間にスキューがある場合もそれぞれ最適なタイミングで入力信号が取り込める構成を開示している。本発明でも、各入力信号毎に入力タイミング調整回路を設ける構成が適用可能である。ここで、受信タイミング調整モードを設け、調整終了後通常動作モードに入る構成の場合、受信タイミング調整モードではすべての入力タイミング調整回路を調整する必要があるが、調整終了後もそのまま入力タイミング調整回路を動作させると、消費電力が大きくなるという問題がある。入力信号間にスキューがある場合も、受信タイミング調整モードで一旦入力タイミングが調整された後の変化は、同じように変化すると考えられる。そこで、入力信号毎に入力タイミング調整回路を設ける場合、そのうちの一部には、ディレイ制御回路に供給する判定結果を、同じ入力タイミング調整回路の位相比較回路の出力する判定結果と、他の入力タイミング調整回路の位相比較回路の出力する判定結果との間で選択するスイッチを設け、受信タイミング調整モード時には、同じ入力タイミング調整回路の位相比較回路の出力する判定結果が、受信タイミング調整モード時以外の時には、他の入力タイミング調整回路の位相比較回路の出力する判定結果がディレイ制御回路に供給されるようにスイッチを切り換えるようにする。これにより、通常動作モード時には一部の位相比較回路は停止させることができ、消費電力を低減できる。

【0018】

【発明の実施の形態】図5は、本発明の実施例の半導体装置システムの全体構成を示す図である。図3と同様に、クロック源10をコントローラ11から遠い側に配置し、クロック信号線17上のクロックの伝達方向を、メモリ12-A、12-B、12-Cからの読出データのコントローラ11への伝達方向と同じにするものである。従って、各メモリがクロックCLKに同期して読出データを出力すれば、コントローラ11で読出データがずれるという問題は解決できる。本実施例では、更に、各メモリ12-A、12-B、12-Cが、入力タイミング調整回路を有する点が、図3の構成とは異なる。

【0019】まず、コントローラ11の構成を説明する。図6は、本実施例のコントローラ11の構成を示す

図であり、通常はメモリシステム構築用のチップセットで実現される。図6に示すように、コントローラ11は、内部回路21と、クロック信号線13から入力されるクロックCLKを受信し、コントローラ内部で使用する内部クロックを発生させるクロック入力／内部クロック発生回路22と、各メモリに書き込む書込データをデータ信号線16に出力するデータ出力回路23と、各メモリからデータ信号線16に出力された読出データを取り込むデータ入力回路24と、入力タイミング調整モード時に所定のダミーデータパターンを発生するダミーパターン発生回路25と、調整モード時にはダミーパターン発生回路25の出力する所定のダミーデータパターンがデータ出力回路23から出力され、通常動作モード時には内部回路21が出力する書込データがデータ出力回路23から出力されるように切り換える出力切換回路26とを有する。他に、コマンド信号やアドレス信号を出力する出力回路も設けられているが、データ信号を除く他の信号については入力タイミング調整を行わないため、ここでは省略してある。なお、データ出力回路23とデータ入力回路24の回路自体は、従来と同様のものが使用される。

【0020】図7はクロック入力／内部クロック発生回路22の構成を示す図である。クロック入力／内部クロック発生回路22は、入力されるクロックCLKから正確に $1/4$ 周期ずつずれたクロック $\phi/4$ 、 $\phi/2$ 、 $3\phi/4$ 、及び ϕ を発生させる回路である。入力されるクロックCLKと発生されるクロック ϕ は同じ位相の信号である。クロック入力／内部クロック発生回路22は、カレントミラー回路31と、バッファ32と、ディレイ回路-A33と、バッファ34の組が、前段の出力が後段の入力になるようにして4段直列に接続されており（各段に順にA、B、C、Dを付して表している。）、各段の構成要素はすべて同一の構成を有する。各ディレイ回路は、ディレイ制御回路38により同じ制御値が印加されるので、遅延量は同時に変化され、各ディレイ回路の遅延量は同一である。また、最終段のバッファ34Dの出力は、カレントミラー回路35とバッファ36を介して位相比較回路37に入力されるが、このカレントミラー回路35とバッファ36も、各段のカレントミラー回路31とバッファ32と同一の構成である。位相比較回路37は、最初の段のバッファ32Aの出力とバッファ36の出力の位相を比較する。ディレイ制御回路108はその比較結果に基づいて、これらの位相が一致するように、ディレイ回路の遅延量を変化させる。従って、これらの位相が一致した時には、各段の出力は1サイクルを正確に $1/4$ ずつシフトした信号であり、正確に $1/4$ 周期ずつずれたクロック $\phi/4$ 、 $\phi/2$ 、 $3\phi/4$ 、及び ϕ が得られる。本実施例では、データ信号の変化周期はクロックの半周期であり、データ入力回路24とデータ出力回路23ではデータ信号をクロックの立

ち上がり及び立ち下がりエッジの1/4周期ずらしたタイミングで取り込み及び変化させるため、1/4周期ずれた信号を発生させるが、他のタイミングの場合には、それに応じてクロック入力/内部クロック発生回路22の段数を設定する必要がある。

【0021】次に各メモリの構成について説明する。図8は、実施例におけるメモリの信号入出力部分の構成を示す図である。図示のように、受信したクロックCLKから正確に1/4周期ずつずれたクロック $\phi/4$ 、 $\phi/2$ 、 $3\phi/4$ 、及び ϕ を発生させるクロック入力/内部クロック発生回路41と、データ入力回路42-0から42-nと、入力タイミング調整回路43-0から43-nと、データ出力回路44-0から44-nと、内部回路46と、/CS入力回路47とが設けられている。実際には、他のコマンド信号やアドレス信号の入力回路が設けられているが、ここでは省略してある。クロック入力/内部クロック発生回路41は、図7に示したのと同じ回路が使用できる。データ入力回路42-0から42-nと、入力タイミング調整回路43-0から43-nは対をなし、各入力タイミング調整回路により対応するデータ入力回路のデータ信号の入力タイミングが独立に調整されるようになっている。各データ出力回路44-0から44-nは、クロック入力/内部クロック発生回路41から供給される正確に1/4周期ずつずれたクロック $\phi/2$ と ϕ に同期してデータ信号を出力する。従って、各データ出力回路44-0から44-nの出力タイミングは同一である。

【0022】/CS入力回路47は、チップ選択信号/CSを取込む。チップ選択信号/CSにより選択された場合には、コマンド信号やアドレス信号の入力回路がこれらの信号を取り込んで内部回路を動作させると共に、書込時にはデータ入力回路42-0から42-nで取り込んだ書込データを内部回路46に入力させ、読出時には内部回路46で生成した読出データをデータ出力回路44-0から44-nを介して出力する。チップ選択信号/CSが非選択の場合には、コマンド信号やアドレス信号の入力回路がこれらの信号を取り込まないようにする。これにより内部回路は変化しない。また、データ出力回路44-0から44-nの出力をハイ・インピーダンス状態にする。以上は従来と同様である。しかし、クロック入力/内部クロック発生回路41と、データ入力回路42-0から42-nと、入力タイミング調整回路43-0から43-nは、たとえチップ選択信号/CSが非選択であってもそれらの信号端子にはコントローラ11から信号が印加させているので、それらの信号に基づいて通常の動作を行う点が従来とは異なる。

【0023】図9は、データ入力回路と入力タイミング調整回路の組の構成を示す図である。図9において、カレントミラー回路56と、バッファ57と、「H」ラッ

チ58と、「L」ラッチ59がデータ入力回路に相当し、残りの部分が入力タイミング調整回路に相当する。これらの回路については従来と同様の構成を有するので、ここでは説明を省略する。なお、「H」ラッチ58と「L」ラッチ59は、ディレイ回路-P51とディレイ回路-Q52の出力する遅延されたクロック $D\phi/4$ と $D3\phi/4$ に同期して入力データを取り込む。

【0024】まず、入力タイミング調整回路での処理内容を説明する。入力タイミング調整回路は、クロック入力/内部クロック発生回路41から供給されるクロック ϕ とデータ信号の立ち上がりエッジの位相を比較し、その比較結果に基づいて、クロック ϕ とデータ信号の立ち上がりエッジが一致するようにクロック ϕ を遅延させる。この時、クロック $\phi/4$ 及び $3\phi/4$ も同一の遅延量遅延させる。従って、クロック $D\phi$ とデータ信号の立ち上がりエッジが一致した状態では、遅延されたクロック $D\phi/4$ 及び $D3\phi/4$ の立ち上がりエッジはデータ信号が安定した状態の中間に位置することになり、信号の取込みには最適なタイミングといえる。クロック ϕ の立ち上がりエッジがデータ信号の立ち上がりエッジに対して進んでいるか遅れているかの判定は、データ信号が所定のパターンで変化していることを検出した時に、実際にクロック $D\phi$ でデータ信号を取り込んでその値を判定することにより行う。

【0025】上記のような動作を行うため、入力タイミング調整回路は、クロック $\phi/4$ を遅延させるディレイ回路-P51と、クロック $3\phi/4$ を遅延させるディレイ回路-Q52と、クロック ϕ を遅延させるディレイ回路-R53と、ディレイ制御回路54と、パターン判定回路55と、ダミーラッチ60と、ラッチ61とを有する。図10は、ディレイ回路-P51、ディレイ回路-Q52、ディレイ回路-R53及びディレイ制御回路54の構成を示す図である。ディレイ回路-P51、ディレイ回路-Q52及びディレイ回路-R53は同一の構成を有し、ディレイ制御回路54により同じ遅延量になるように制御される。図示のように、ディレイ回路は、複数のインバータを直列に接続したインバータ列62と、入力的一方がインバータ列62の2段毎の出力を受けるように設けられた複数のANDゲート63-1、63-2、…、63-mで構成されるANDゲート列と、各ANDゲートの出力がゲートに印加され、ソースは接地され、ドレインが共通に接続されているN-チャンネルトランジスタ64-1、64-2、…、64-mで構成されるトランジスタ列と、各N-チャンネルトランジスタのドレインが共通に接続される信号線と電源の高電位側の間に接続された抵抗65と、入力がこの信号線に接続され遅延させたクロックを出力するバッファ66とを備える。ディレイ制御回路54は、ダミーラッチ60の出力する判定結果に基づいてカウントアップとカウントダウンを切り換えるアップ・ダウンカウンタ67と、

アップ・ダウンカウンタ 67 の出力をデコードするデコーダ 66 とを備える。アップ・ダウンカウンタ 67 がカウント動作を行うのは、パターン判定回路 55 の出力するイネーブル信号が有効な時で、且つクロック $\phi/2$ が立ち上がる時であり、その時の比較結果の値に応じてカウントアップとカウントダウンのいずれかを行う。デコーダ 66 は、アップ・ダウンカウンタ 67 の出力に応じて、いずれか 1 つの出力を「H」にし、他の出力を「L」にする。アップ・ダウンカウンタ 67 がカウントアップした場合には「H」にする出力位置を右にシフトし、カウントダウンする場合には「H」にする出力位置を左にシフトする。デコーダ 66 の出力は、順に各 AND ゲート 63-1、63-2、…、63-m のもう一方の入力に接続されており、デコーダ 66 から「H」が入力される AND ゲートだけが活性化される。そして、インバータ列の出力のうち、活性化された AND ゲートに入力される信号が遅延されたクロック $D\phi/4$ 、 $D3\phi/4$ 、 $D\phi$ として出力されることになり、どの AND ゲートを活性化するかにより、インバータ列を通過する段数が増えるので、内部クロックの遅延量を選択することができる。従って、遅延量制御の調整単位はインバータ 2 個分の遅延量である。なお、図 7 に示したディレイ回路とディレイ制御回路として図 10 に示した構成のものを使用可能である。

【0026】ディレイ回路-P51 とディレイ回路-Q52 に入力するクロック $\phi/4$ と $3\phi/4$ は、ディレイ回路-R53 に入力するクロック ϕ に対して正確に 1/4 周期と 3/4 周期ずれた信号であり、ディレイ回路-P51 とディレイ回路-Q52 とディレイ回路-R53 は同一の構成を有し、ディレイ制御回路 54 により同一の遅延量になるように制御されるので、ディレイ回路-P51 とディレイ回路-Q52 から出力されるクロックは、ディレイ回路-R53 から出力されるクロックに対して、それぞれ正確に $\phi/4$ と $3\phi/4$ 位相がずれた信号である。

【0027】図 11 は、パターン判定回路 55 の構成を示す図である。前述のように、本実施例では、入力信号が所定のパターン、具体的には入力信号が「L」、「L」、「H」の順に変化し、しかも「L」から「H」への変化がクロック ϕ の立ち上がりエッジに一致する時に位相の判定を行う。そのため、入力信号がこのパターンであるかを判定することが必要である。この判定には、データ入力回路の「H」ラッチ 58 の出力 R2 と、「L」ラッチ 59 の出力 R1 と、「H」ラッチ 58 の出力を次のクロックサイクルの間保持するラッチ 61 の出力 R0 を利用して行う。R0、R1 及び R2 が、「L」、「L」及び「H」であればこのようなパターンであると判定できる。従って、図 11 に示すように、E XOR 回路を使用して、R0、R1 及び R2 が、「L」、「L」及び「H」であるかを判定し、それらが

すべて条件を満たす時にイネーブル信号を発生する。このように所定のパターンの時にのみ位相の比較と遅延量の調整を行うのは、次の理由による。データ信号は変化周期毎に変化する場合も、数変化周期の間同じ状態を維持する場合もある。クロックの周波数は非常に高い高速のシステムでは、入力データが変化周期毎に変化した場合と、同じ値が連続した後に変化した場合とで、最適な取込みタイミングに差が生じ、いずれの場合に合わせるかで調整値に差が生じることになる。これでは調整値が変動するので好ましくないため、ここでは上記のように所定のパターンの時にのみ、位相の判定とディレイ回路の調整を行うようにしている。

【0028】図 9 に戻って、上記のイネーブル信号が発生された時には、クロック ϕ の直前の立ち上がりエッジの前後で入力データが「L」から「H」に変化している。従って、ダミーラッチ 60 でクロック ϕ に同期して入力データを取り込んだ時、その値が「L」であればクロック ϕ は入力データに対して遅れており、「H」であればクロック ϕ は入力データに対して進んでいることになるので、ダミーラッチ 60 の値が位相の比較結果となる。

【0029】図 12 は、実施例におけるパターン判定と位相比較結果、及びそれに伴う調整動作を示すタイムチャートである。受信タイミング調整モードにおいては、コントローラ 11 はダミーデータ発生回路 25 で発生された、図示のような「L」、「L」、「L」、「H」のパターンで変化するデータを入力し、メモリはこのようなデータで入力タイミングを調整する。メモリにおいては、データ入力回路は、クロック $\phi/4$ と $3\phi/4$ の立ち上がりエッジで入力信号を取り込むので、入力データが ϕ 又は $\phi/2$ の立ち上がりエッジで変化するように調整することが必要である。ここでは上記のパターンのデータの「L」から「H」への変化エッジが、 ϕ の立ち上がりエッジに一致するように調整する。図では入力データ DQ が ϕ より若干進んでいるように示してある。R0、R1、R2 は図示のように変化し、イネーブル信号が図示のように変化する。また、ダミーラッチの値である比較結果は図示のように変化する。ディレイ制御回路 54 のアップ・ダウンカウンタ 67 は、イネーブル信号が有効でクロック $\phi/2$ が立ち上がるエッジで、比較結果に応じて変化するので、図の矢印の位置で変化する。

【0030】受信タイミング調整モードが終了した後の通常動作モードにおいては、コントローラ 11 はメモリに書き込むデータを入力するが、その書込データが上記のようなパターンになるとは限らない。しかし、多数のデータパターンを出力する間には、「L」、「L」、「H」の順で変化し、「L」から「H」への変化エッジが ϕ の立ち上がりエッジ付近である場合も起こりえる。このような場合には、パターン判定回路 55 から出力されるイネーブル信号が有効になり、ディレイ制御回路 5

4のアップ・ダウンカウンタ67がダミーラッチ60の比較結果に応じて変化される。

【0031】図13は、入力タイミング調整回路43-0から43-nの全体構成を示す図である。各入力タイミング調整回路は、ほぼ同様の構成を有するが、最初の入力タイミング調整回路43-0を除く入力タイミング調整回路43-1から43-nは、ディレイ制御回路54-1に、それぞれの内部で発生させたイネーブル信号と比較結果を供給するか、入力タイミング調整回路43-0で発生されたイネーブル信号と比較結果を供給するかを切り換えるスイッチ70を備える。スイッチ70は、受信タイミング調整モード時には内部で発生させたイネーブル信号と比較結果が、通常動作モード時には入力タイミング調整回路43-0で発生されたイネーブル信号と比較結果が供給されるように切り換える。各データ信号線は完全に同じ配線長で同じ負荷が接続されるようにすることはできないので、各書込データ間には若干のスキューがある。そこで、調整モード時には、各ディレイ回路はそれぞれの入力データ毎のスキューに応じて最適なタイミングに調整される。通常動作モードにおいても入力タイミングの調整を行うのは、電源電圧や温度等の環境条件により最適な取込みタイミングが変化するためであるが、このような変動は各入力データ回路で同じ傾向であると予測される。そこで、通常動作モードにおいては、代表的な1つの入力データ回路とそれに対応する入力タイミング調整回路で位相判定を行い、他の回路はこの位相判定の結果を利用してディレイ回路の遅延量を調整する。このように構成することで、他の入力タイミング調整回路の位相判定回路を停止させることができるので、消費電力を低減できる。

【0032】図14は、実施例における受信タイミング調整モードと通常動作モードにおける各回路の動作を示すタイムチャートである。専用の信号線と専用の端子を利用するか、又はコマンド信号を組み合わせて受信タイミング調整モードと通常動作モードのいずれかであるかが、コントローラ11から各メモリに指示される。調整モードにおいては、各メモリには ϕ CS信号は入力されない。図示のように、調整モードと通常動作モードにかかわらず、クロック入力回路は動作状態にある。データ入力回路-0と入力タイミング調整回路-0の全体も、調整モードと通常動作モードにかかわらず動作状態にあり、常時入力タイミングの調整が行われる。また、入力タイミング調整回路-0以外の入力タイミング調整回路の位相比較・パターン判定回路は、通常動作モードでは停止状態にされ、イネーブル信号や比較結果は出力されない。

【0033】調整モードにおいては、コントローラ11は図12に示したような所定のパターンを出力するので、各入力タイミング調整回路-0から-nは、位相比較とパターン判定を行い、イネーブル信号は1クロック

サイクル毎に、有効と非有効の状態になる。従って、調整モードにおいては最小のサイクルで入力タイミングの調整が行われることになり、ランダムなパターンが入力される時に比べて、調整に要する時間を短くできる。調整モードの時間は、初期状態におけるクロックと入力データの位相ずれが最大でも一致するまで調整できるように時間が設定されている。

【0034】通常動作モードでは、コントローラ11がデータバス上に出力する書込データが所定のパターンの時に、入力タイミング調整回路-0がイネーブル信号を発生する。従って、イネーブル信号はランダムに発生される。これは、そのメモリが選択されない時、すなわち、 ϕ CS信号が非選択の時でも行われる。入力タイミング調整回路-0が発生したイネーブル信号と比較結果は、ディレイ制御回路-0と共に、他の入力タイミング調整回路のディレイ制御回路-1から-nにも供給され、ディレイ回路の遅延量が調整される。

【0035】図15は、本実施例におけるコントローラ11とメモリにおける読出/書込動作を示すタイムチャートである。メモリに入力されるクロックCLKは、aで示すように、コントローラ11までの伝達に要する時間分遅れてコントローラ11に到達し取り込まれる。コントローラ11からメモリへのコマンド信号は、コントローラ11のクロックCLKの立ち上がりエッジに同期して変化し、bで示すようにメモリに伝達される。コマンド信号のメモリに到達した時点における位相は、メモリが受信したクロックとは位相がずれており、しかもメモリの位置によりずれが異なることになる。しかし、図示のように、コマンド信号の変化周期はデータ信号にくらべて長く、このようなずれも問題にならない。メモリから読み出された読出データは、クロックの立ち上がり及び立ち下がりエッジに同期して出力される。読出データは、クロックと同じようにコントローラ11に伝達されるので、コントローラ11では読出データとクロックは同期しており、クロック $\phi/4$ と $3\phi/4$ で取り込めばよい。書込データは、コントローラ11において、クロック $\phi/4$ と $3\phi/4$ のエッジで変化する。しかし、書込データの伝達方向はクロックと逆方向であり、メモリに到達した書込データはクロックとまったく同期していない。これをメモリ毎及びメモリ内でデータ信号毎に独立に調整する。従って、書込データを取り込むタイミングは、図示のようにメモリ毎及びメモリ内でもデータ信号毎に異なる。

【0036】

【発明の効果】以上説明したように、本発明によれば、クロックの種類及びそれに伴う配線数を増加させることなく、読出と書込が良好なタイミングで行える半導体装置システムが実現される。

【図面の簡単な説明】

【図1】半導体装置システムの従来の構成例を示す図で

ある。

【図 2】従来例における読出／書込動作のタイミングを示すタイムチャートである。

【図 3】半導体装置システムの別の従来例を示す図である。

【図 4】半導体装置システムの別の従来例を示す図である。

【図 5】実施例の半導体装置システムの全体構成を示す図である。

【図 6】実施例のコントローラの構成を示す図である。

【図 7】コントローラのクロック入力／内部クロック発生回路の構成を示す図である。

【図 8】実施例のメモリの構成を示す図である。

【図 9】メモリの入力タイミング調整回路とデータ入力回路の構成を示す図である。

【図 10】入力タイミング調整回路で使用するディレイ回路とディレイ制御回路の構成を示す図である。

【図 11】入力タイミング調整回路で使用するパターン判定回路の構成を示す図である。

【図 12】パターン判定動作と調整動作を示すタイムチャートである。

【図 13】複数の入力タイミング調整回路の関係を

図である。

【図 14】実施例におけるモード毎の動作を示すタイムチャートである。

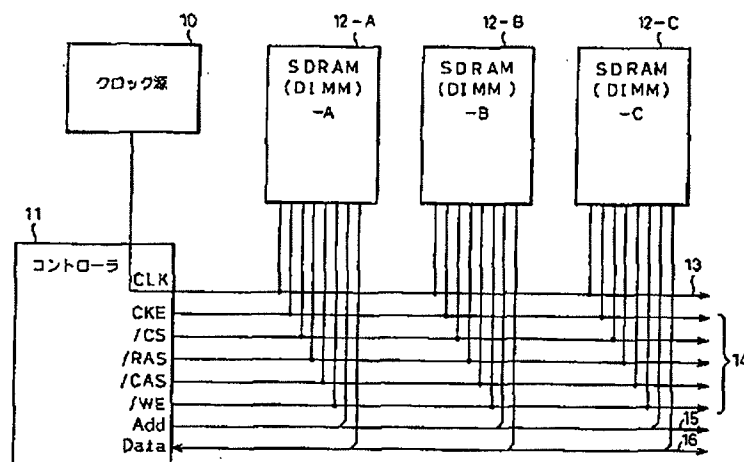
【図 15】実施例における読出／書き込む動作を示すタイムチャートである。

【符号の説明】

- 10…クロック源
- 11…コントローラ
- 12…メモリ (SDRAM)
- 13…クロック信号線
- 14…コマンド信号線
- 15…アドレス信号線
- 16…データ信号線
- 22、41…クロック入力／内部クロック発生回路
- 23…データ出力回路
- 24…データ入力回路
- 25…ダミーパターン発生回路
- 26…出力切替回路
- 42-0~42-n…データ入力回路
- 43-0~43-n…入力タイミング調整回路
- 44-0~44-n…データ出力回路

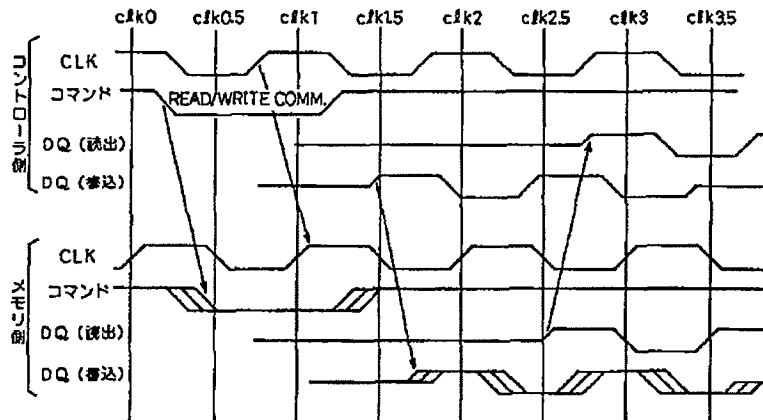
【図 1】

半導体装置システムの従来の構成例



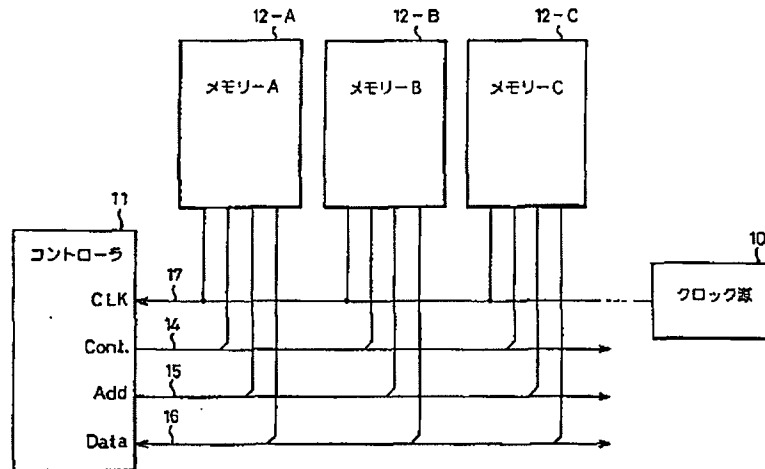
【図2】

従来例における読出/書込動作タイミング



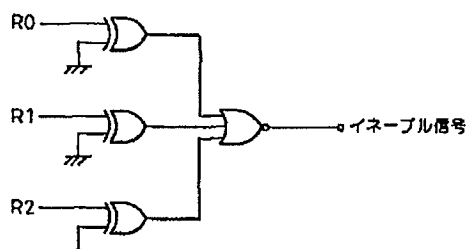
【図3】

半導体装置システムの別の従来例

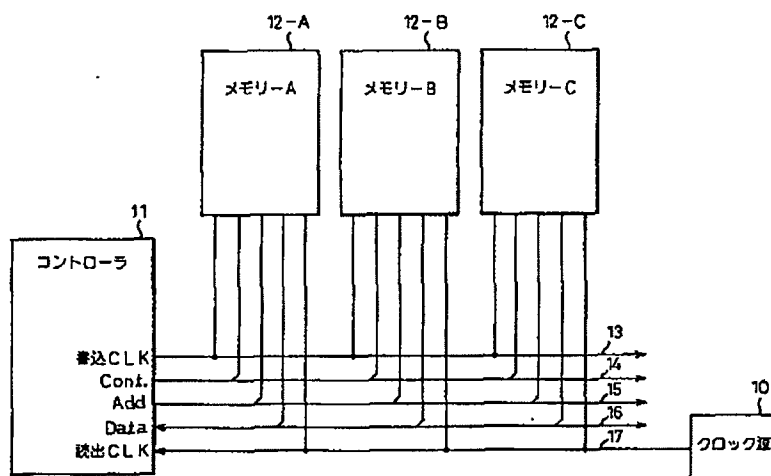


【図11】

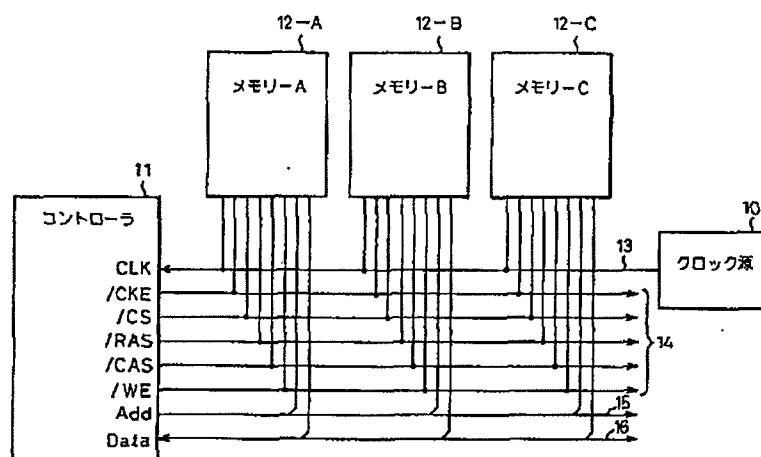
パターン判定回路



半導体装置システムの別の従来例

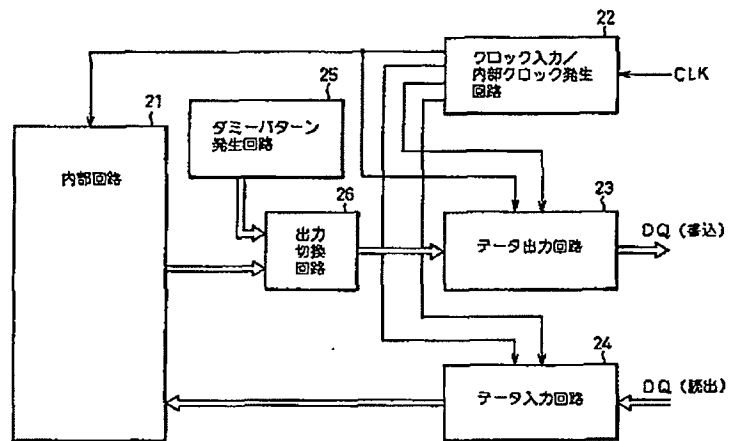


実施例の半導体装置システムの全体構成



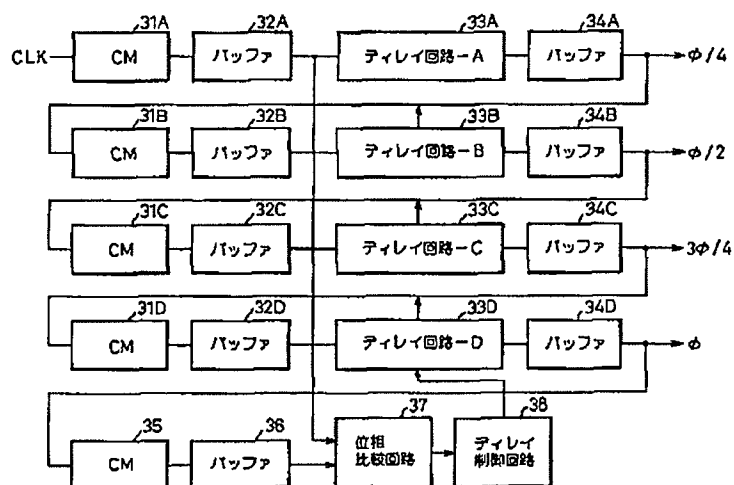
【図6】

実施例のコントローラの構成

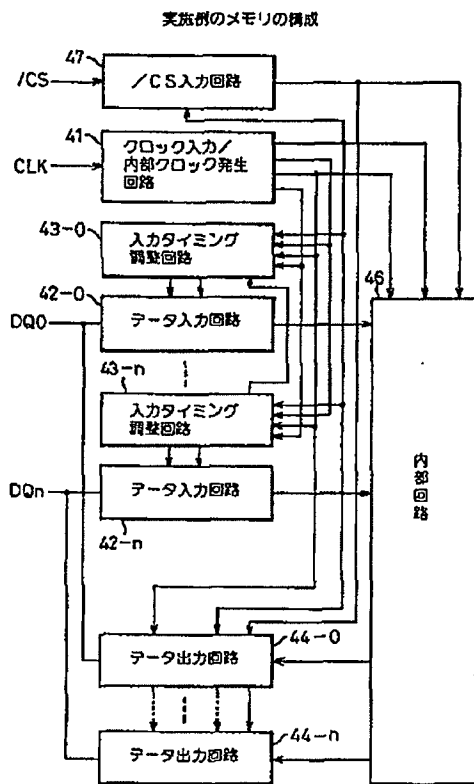


【図7】

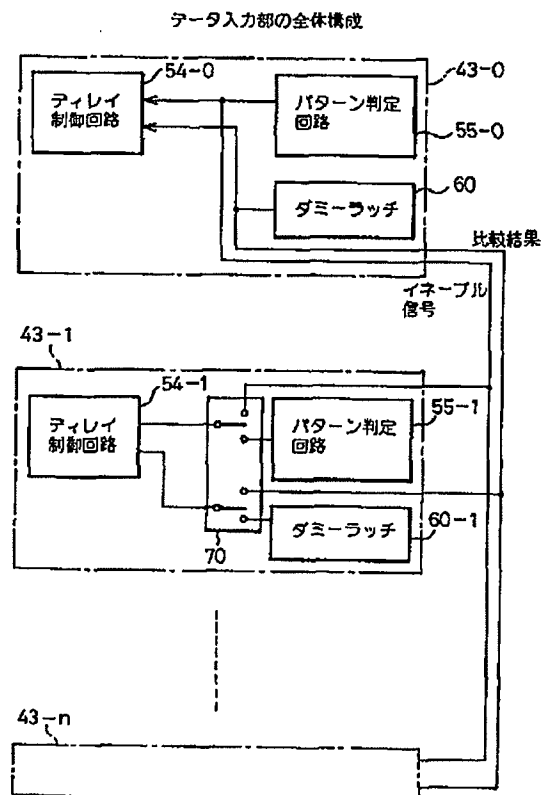
コントローラのクロック入力/内部クロック発生回路



【図 8】

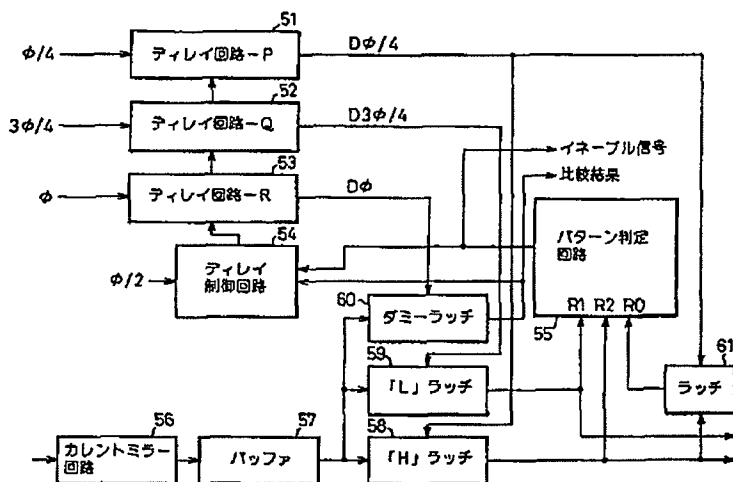


【図 13】



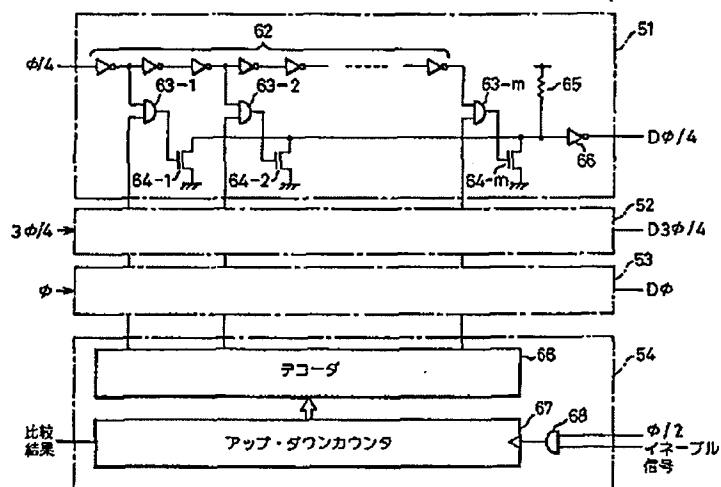
【図 9】

入力タイミング調整回路とデータ入力回路



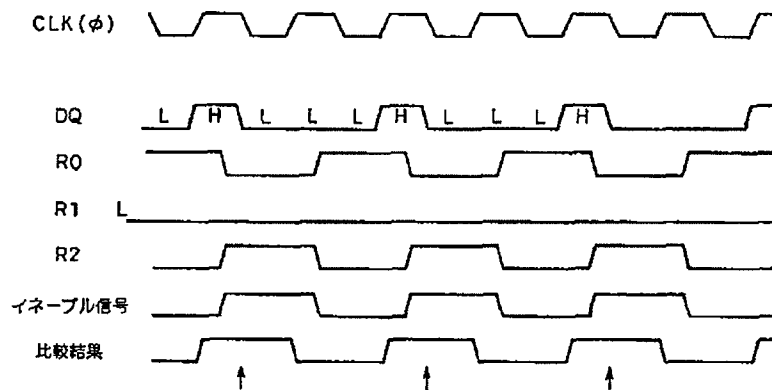
【図 10】

ディレイ回路とディレイ制御回路



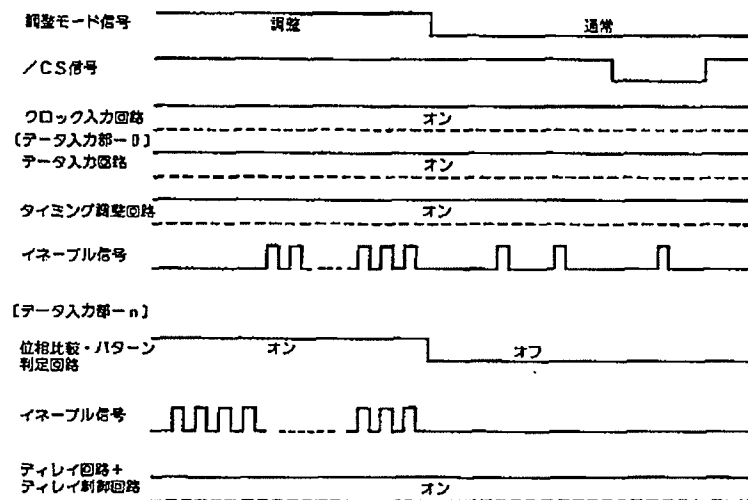
【図 12】

パターン判定と調整動作



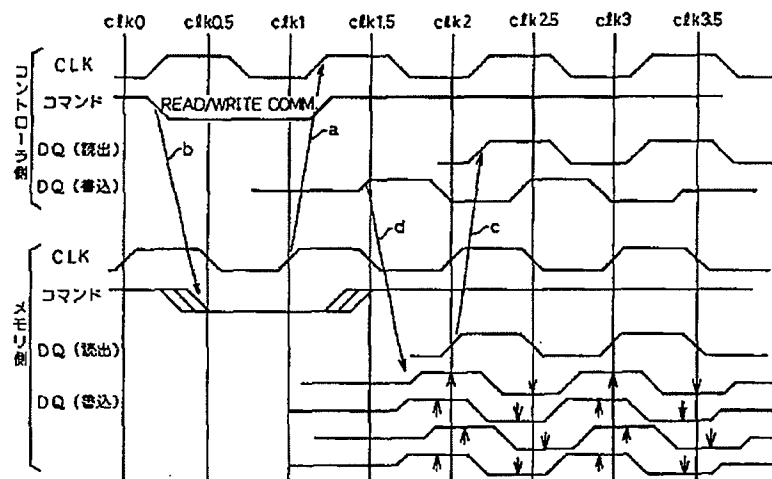
【図 14】

実施例におけるモード動作



【図 15】

実施例における読出/書込動作



フロントページの続き

(51) Int. Cl. 6

H03K 5/135

識別記号

F I

G11C 11/34

J

354C